

## 重水を用いた原子層成長技術による High-k ゲート絶縁膜への重水素添加

Deuterium Incorporation into High-k Gate Dielectric  
by D<sub>2</sub>O-Atomic Layer Deposition

鳥居 和 功*	川原 孝 昭**	犬 宮 誠 治***	奈 良 安 雄***
TORII Kazuyoshi	KAWAHARA Takaaki	INUMIYA Seiji	NARA Yasuo
井 上 實****	羽 坂 智****		
INOUE Minoru	HASAKA Satoshi		

原子層成長法 (ALD) による HfAlO 形成プロセスにおいて、水 (H<sub>2</sub>O) の代わりに重水 (D<sub>2</sub>O) を酸化剤に用いることにより HfAlO/SiON 積層ゲート絶縁膜に重水素を添加した。D<sub>2</sub>O-ALD によって形成した HfAlO 膜は重水素供給源として働き、界面 SiON 層へ効率よく重水素を添加できる。重水素は Si 基板界面のダングリングボンドを終端し、その結果、界面欠陥の発生による閾値電圧シフトや界面層破壊に起因するゲートスタックの経時絶縁破壊を抑制する。D<sub>2</sub>O-ALD は界面層の信頼性を向上するので、その効果は HfAlO に限られるものではなく、他の HfO<sub>2</sub> や HfSiON などの High-k 膜にも有効である。

Deuterium was incorporated into the HfAlO/SiON gate dielectric by using heavy water (D<sub>2</sub>O) instead of H<sub>2</sub>O in the atomic layer deposition (ALD) process of HfAlO. The HfAlO film formed by D<sub>2</sub>O-ALD acts as a deuterium resources, and the deuterium atoms are effectively incorporated into the SiON after the full CMOS processing. It is clarified that the deuterium incorporation suppresses interfacial trap generation and interfacial SiON breakdown. The D<sub>2</sub>O-ALD process is useful for improving the interfacial layer reliability under gate negative stress, therefore it is not only effective for HfAlOx, but also for high-k/SiO<sub>2</sub> (SiON) gate stacks with other high-k materials such as HfO<sub>2</sub> or HfSiON.

## 1. はじめに

マイクロプロセッサ (MPU)、デジタルシグナルプロセッサ (DSP) などの性能向上競争の激化にともない、トランジスタの高速化とそのための微細化が従来の予想を大幅に上回るスピードで進んでいる。特に、ゲート絶縁膜の薄膜化はトランジスタの駆動力増加に直結するため、薄膜化の前倒しが著しい。MOS トランジスタのゲート絶縁膜は 40 年以上、SiO<sub>2</sub> が用いられてきたが、物理膜厚が 2 nm 以下になり、1 原子層 ~ 0.2 nm の数倍となるに至り、直接トンネルによる

リーク電流が素子の消費電力や駆動力に問題を引き起こすほど大きくなろうとしている。

そこで、誘電率の大きな (High-k) 材料を用いて物理膜厚を大きくすることで、駆動力を犠牲にせずにゲートリーク電流を抑制する研究がここ数年で集中的に進められてきた。

2007 年頃に量産される hp 65 nm 世代では、メタルゲートやダマシゲートなどの新構造トランジスタを導入することなく、これまでの CMOS 形成プロセスで使っていた SiO<sub>2</sub>、SiON を High-k ゲート絶縁膜に置き代えることで対処したいという要求が強い。そのためには、High-k ゲート絶縁膜が不純物活性化などの高温プロセスに耐えられることが必要である。このため HfO<sub>2</sub> に SiO<sub>2</sub> や Al<sub>2</sub>O<sub>3</sub> を添加した HfSiON、HfAlOx などが本命と考えられている。これら HfO<sub>2</sub> 系 High-k ゲート絶縁膜を用いた hp 65 nm 向けデバイス

\* (株) 半導体先端テクノロジーズ  
現在、(株) 日立製作所 中央研究所 主任研究員  
\*\* (株) 半導体先端テクノロジーズ  
現在、(株) ルネサステクノロジ  
\*\*\* (株) 半導体先端テクノロジーズ  
\*\*\*\* 電子機材事業本部マーケティング統括部

の試作も続々と報告されている。しかし、ゲート絶縁膜の信頼性については、まだ評価が始まったばかりである。Si 半導体がこれほどの成功を収めたのは Si 自身の物性もさることながら、その酸化膜である SiO<sub>2</sub> の優れた特性と Si/SiO<sub>2</sub> の良質な界面特性によるところが大きい。High-k ゲート絶縁膜をもちいて SiO<sub>2</sub> に匹敵する良好な界面特性と信頼性を得ることが、その実用化への大きな課題である。

テキサス大学のグループから高温 (600-700℃) の重水素アニールが HfO<sub>2</sub> の信頼性向上に有効であるという報告がなされている<sup>1,2)</sup>。しかし、hp65 nm 世代ではソース・ドレイン・ゲートの抵抗低減のため NiSi が用いられるので、その適用は難しい。最近、原子層成長法に用いる酸化剤として水の代わりに重水を用いることで HfO<sub>2</sub> 膜に重水素を添加し、その信頼性を改善する方法が提案された<sup>3)</sup>。

本稿では、この方法をハフニウム・アルミネイト (HfAlO) 膜に適用し、その効果を検証した結果<sup>4)</sup> について報告する。

## 2. 成膜方法とデバイス作成方法

High-k 絶縁膜の成膜方法としては ALD (Atomic Layer Deposition) 法と MOCVD 法が有望であると考えられている。材料選択に際しては PVD 法も用いられたが、パーティクルやダメージの問題があり、また、ステップカバレッジ性が悪いことから LSI の製造工程にまで入るとは考えにくい。

ALD 法は、1970 年代にフィンランドの T. Suntola らが開発した。ALD 法の基本原理は気相成長に含まれている個々の化学反応の過程を明確に分離して繰り返すことにある。ジルコニア、ハフニア、アルミナなどの氧化物薄膜を堆積する場合には、まず基板表面に水を供給し OH 基で覆われるまで反応を進め、次に、不活性ガスを導入し余剰な原料分子と副生成物を取り除き、金属錯体を供給し、表面が飽和状態になるようにする。このとき反応温度は反応サイトと選択的に反応がおこる温度 (150~350℃) とする。次に、不活性ガスを導入し余剰な原料金属錯体分子と副生成物を取り除く。以上のような 4 つの素過程を繰り返すことにより一分子層分の成膜が完了する。ALD 法は、表面反応が化学吸着によって進み、かつ、金属錯体が結合した配位子は原料分子に対して反応サイトとならないため、表面が金属錯体で覆われると自動的に反応が停止する、いわゆる“自己抑制機構”をうまく利用した成膜法である。この方法によると、反応サイクル数

により膜厚を正確に制御することが可能で、大面積基板にも均一な膜厚の High-k 膜を堆積できる。

HfAlO-ALD の前駆体としては、トリメチルアルミニウム (TMA: Al(CH<sub>3</sub>)<sub>3</sub>)、テトラキス・エチル・メチル・アミノ・ハフニウム (TEMAHf) を用いた<sup>5)</sup>。酸化剤には水 (H<sub>2</sub>O) または重水 (D<sub>2</sub>O) を用いた。Fig. 1 に X 線蛍光分析 (XRF) により測定した Hf と Al のウェハ上付着量の面内分布を示す<sup>6)</sup>。

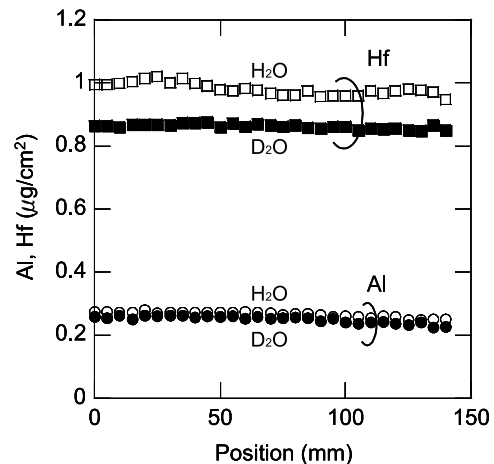


Fig. 1 Hf and Al distribution over 300mm- wafer. Open and closed marks are for H<sub>2</sub>O- and D<sub>2</sub>O-ALD, respectively.

D<sub>2</sub>O を用いると H<sub>2</sub>O の場合と比べて Al, Hf 付着量が約 1 割減少している。面内均一性はほとんど同じであった。また、組成比 (Hf/(Hf+Al)) も 0.319 (H<sub>2</sub>O), 0.311 (D<sub>2</sub>O) とほぼ同じであった。エリプソメトリにより測定した光学膜厚の面内分布も、H<sub>2</sub>O を用いた場合で 3.71 nm (±3.4%) に対して、D<sub>2</sub>O では 3.43 nm (±4.0%) と同様の結果を示した<sup>6)</sup>。

ALD 法による HfAlO をゲート絶縁膜に用いた電界効果トランジスタを通常の poly-Si ゲート CMOS プロセスを用いて作製した。STI 素子分離, well を形成した基板の上に、下地膜として厚さ 0.9 nm (酸化膜換算膜厚 0.7 nm) の SiON 膜を形成した。この上に厚さ 2.5 nm の HfAlO 膜を ALD 法により堆積した。PDA (post-high-k deposition annealing) 処理後、厚さ 150 nm の Poly-Si 電極を堆積し、不純物を注入、ドライエッチング加工を行った。基板表面に露出した High-k 膜はウェットエッチングにより除去した。ソース・ドレイン (S/D) エクステンション、深い S/D の不純物注入後、スパイク・アニールを用いて活性加熱処理を行った。NiSi によるサリサイド化、配線層の形成の後、400℃のフォーミングガスアニールを行い、デバイスを完成した。比較のため一部試料では、フォーミングガスアニールの代わりに 3% 重水素雰囲気でのア

ニールを行った。仕上がりの酸化膜換算膜厚 (EOT) は 1.5 nm であった。

重水素の分布を調べるため 2 次イオン質量分析法 (SIMS) により Si, H, D の深さ方向分布を測定した。測定精度を高めるため SIMS 分析には厚さ 15 nm の HfAlO 膜を用いた。Fig. 2 に示すように D<sub>2</sub>O-ALD により 10<sup>20</sup> cm<sup>-3</sup> の重水素が HfAlO 膜中に取り込まれる。しかし、高温の PDA により大部分の重水素は膜中から脱離してしまう。ただし、PDA 後でも界面層には 6 × 10<sup>18</sup> cm<sup>-3</sup> の重水素が残っていることがわかる。

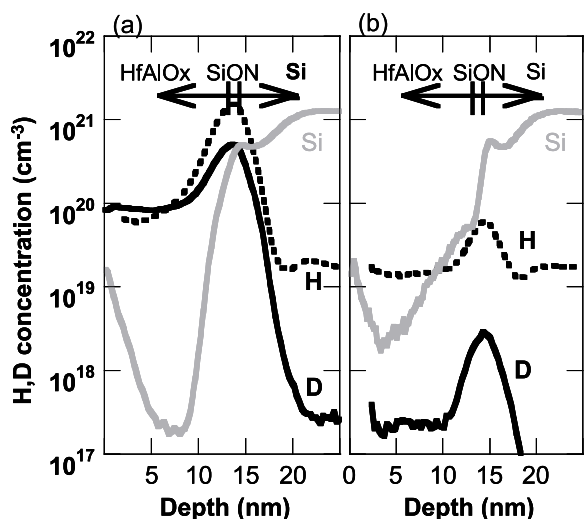


Fig. 2 SIMS depth profiles of Si, H, and D in a HfAlOx/SiON/Si gate stack <sup>4)</sup>. HfAlOx was deposited by D<sub>2</sub>O-ALD. (a) before PDA, (b) after PDA.

### 3. 電気特性, 信頼性への影響

HfAlOx では下地膜との相互拡散が起こると, CV ヒステリシスが大きくなり, トランジスタの初期特性も大幅に劣化してしまう<sup>7)</sup>。したがって, 界面相互拡散を如何に抑えるかが課題となる。HfAlOx のもう一つの課題はキャリア移動度の低下の問題である。下地膜には, High-*k* 膜中に存在する電荷による Remote Charge 散乱 (RCS) によってキャリアの移動度が低下するのを緩和するという効果もある。平谷等が報告<sup>8)</sup>しているように, 下地膜が厚くなり, High-*k* 膜中に存在する電荷がチャネルから遠ざかるにつれて移動度が回復する。しかし, hp65 nm を想定すると, 下地膜は EOT で 0.7 ~ 1.0 nm 程度まで薄膜化する必要がある。下地膜の薄膜化は後工程での酸化耐性を悪化させ, RCS の抑制効果も低減するので, 特性改善とトレードオフの関係にある。したがって, 下地膜の薄膜化と移動度低下の防止の両立がもうひとつの課題である。

Fig. 3 に示すように D<sub>2</sub>O-ALD による重水素添加

は相互拡散により増大した界面準位を減らす効果があることがわかった。H<sub>2</sub>O を用いた場合の界面準位密度は 5 × 10<sup>11</sup> cm<sup>-2</sup>eV<sup>-1</sup> であるが, D<sub>2</sub>O の場合, 2 × 10<sup>11</sup> cm<sup>-2</sup>eV<sup>-1</sup> に減らせる。その結果, Fig. 4 に示すように低電界での移動度が約 10 % 向上する<sup>6)</sup>。

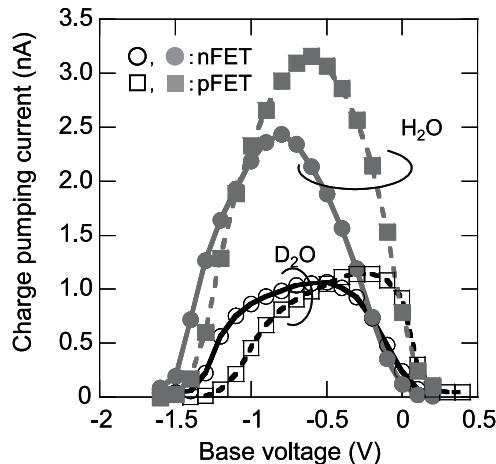


Fig. 3 Charge pumping current of n- and p-FETs with D<sub>2</sub>O- or H<sub>2</sub>O-ALD formed HfAlO as a gate dielectric

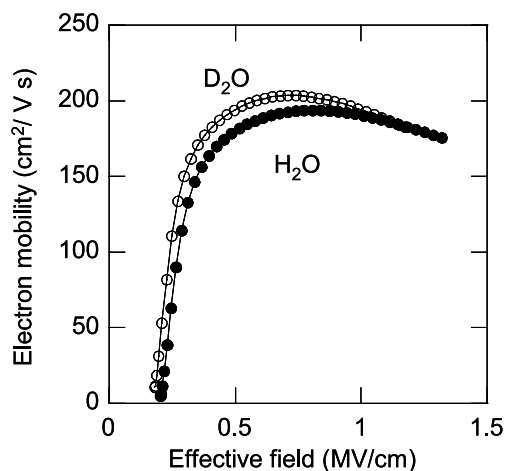


Fig. 4 Effective electron mobility dependence of nFETs with H<sub>2</sub>O- and D<sub>2</sub>O- ALD formed HfAlO.

我々は下地 SiON の窒素濃度分布を精密に制御する方法を用いることにより相互拡散と移動度低下を抑制できることを見出した<sup>9)</sup>。この方法を用いた場合には H<sub>2</sub>O と D<sub>2</sub>O で初期の界面準位密度に差は見られず (H<sub>2</sub>O : 8.6 × 10<sup>10</sup>, D<sub>2</sub>O : 8.45 × 10<sup>10</sup> cm<sup>-2</sup>), 移動度もほぼ同じである。しかし, D<sub>2</sub>O-ALD による重水素添加は, 経時絶縁破壊 (TDDB) や高温バイアス印可時の不安定性 (BTI) に関する信頼性の改善に効果があることがわかった<sup>4)</sup>。

Fig. 5 に高温 (125°C) でトランジスタ反転側の定電圧ストレス (CVS) を印加したときの, 閾値電圧 (V<sub>th</sub>) シフト量のストレス印可時間依存性を示す。n 型トランジスタ (nFET) の V<sub>th</sub> シフトは, High-*k* 膜中の欠

陥に電子が捕獲されることで起こると考えられている<sup>10)</sup>。Fig. 6に示したように nFET の反転側では界面トラップの増大が見られないこともこの仮説を裏付けている。Vth シフトに H<sub>2</sub>O-ALD と D<sub>2</sub>O-ALD でほとんど差がないのは、PDA により High-k 膜中の重水素は脱離してしまうためであると考えられる。

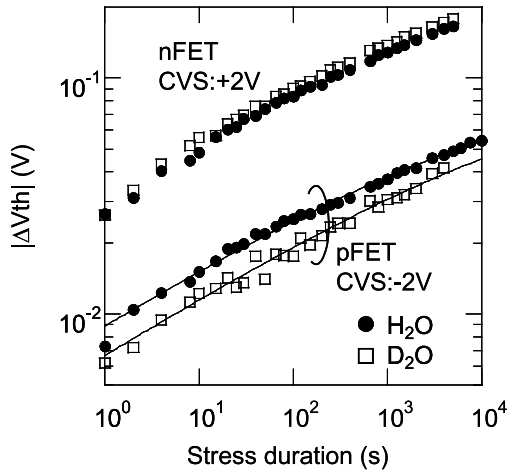


Fig. 5 Threshold voltage shifts ( $\Delta V_{th}$ ) of n/p-FET with HfAlO/SiON gate insulator under positive/negative bias temperature (BT) stress<sup>4)</sup>. Constant voltage stress was applied at 125°C. The solid lines on the date of NBTI are the fits using "dispersive diffusion model"<sup>13)</sup>.

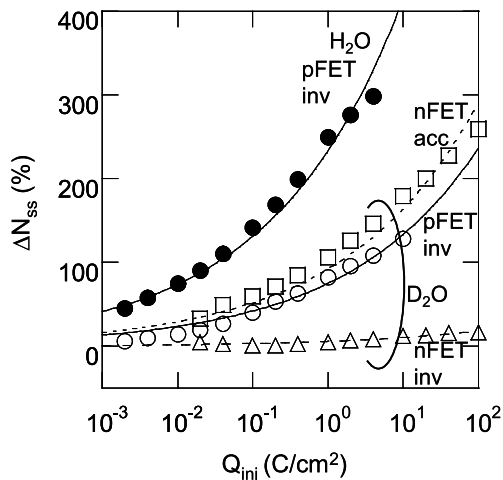


Fig. 6 Interface trap generation rate in n/p-MISFETs with HfAlOx/SiON gate insulator under positive/negative bias temperature (BT) stress. Constant current stress was applied at 125°C. Constant current stress was applied at 125°C. Open and closed symbols are for D<sub>2</sub>O- and H<sub>2</sub>O-ALD formed HfAlOx, respectively. The solid and dotted lines are the results of 1/4 power-law fitting.

一方、p型トランジスタ (pFET) では H<sub>2</sub>O-ALD を用いた場合、D<sub>2</sub>O と比べて大きな Vth シフトが観測された。

SiO<sub>2</sub> の高温負バイアス下での特性不安定性 (NBTI)

は基板界面のダングリングボンドを終端している水素の脱離に起因しており、NBTI ストレスによる界面準位の増大は注入電荷量の 1/4 乗に比例することが知られている<sup>11,12)</sup>。Fig. 6に示したように HfAlOxSiON でも界面準位が注入電荷量の 1/4 乗に比例して増大している。この結果は NBTI ストレス下での Vth シフトが下地 SiON 膜 /Si 界面のダングリングボンドを終端している水素の脱離によるものであることを示唆している。

最近、NBTI 劣化のモデルが提案された<sup>13)</sup>。このモデルでは脱離した水素の一部はゲート絶縁膜中を拡散して界面から離れるが、一部は再び結合してダングリングボンドを終端すると考え、十分長い時間が経過した後では Vth シフトは水素の拡散係数に比例することになる。拡散係数は質量の平方根に逆比例するので、重水素では、Vth が水素の場合の 1/√2 になる。実験結果は 1/1.3 になっており、このモデルとよく一致している。

nFET の蓄積側 (負バイアス側) でストレスを印加すると、Fig. 7に示すように、ある時点でゲート電流の急激な増大が観測される。ワイブル傾き、及び、TDDDB 寿命の界面膜厚依存性からこのゲート電流の急激な増大は界面 SiON 膜の破壊によるものと考えられる<sup>14)</sup>。

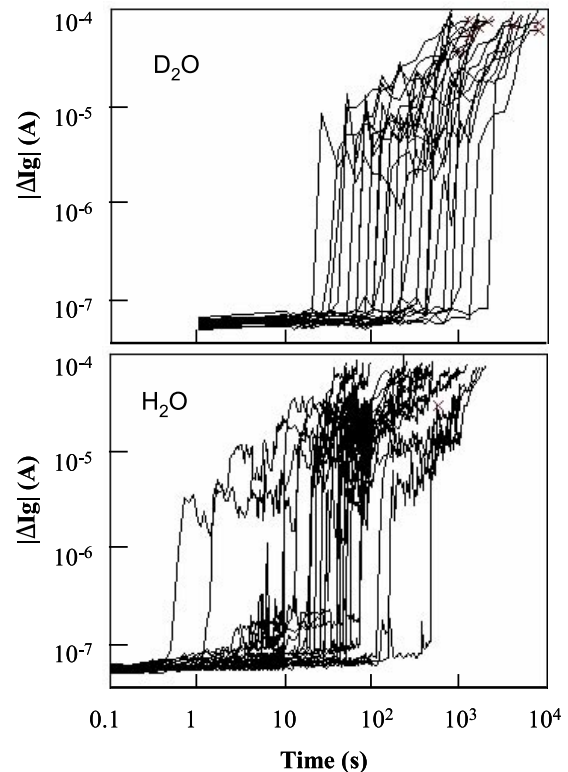


Fig. 7 Examples of time evolution of gate current of n-FETs<sup>4)</sup>. Negative constant voltage stresses of -2.6V were applied at 125°C.

Fig. 6に示したように、チャージポンピング測定から、pFET反転側と同じく、nFET蓄積側でも、ストレス印加による界面準位の増大が起こっていることがわかった。SiO<sub>2</sub>では、電気的ストレスにより発生した欠陥が膜厚方向に数珠繋ぎになり電流経路が形成されることで絶縁破壊が起こるという、パーコレーションモデル<sup>15)</sup>が広く受け入れられている。ひとつの欠陥が影響を及ぼす範囲は0.9nm程度と考えられているので、1nm以下の界面膜の場合には、膜内に一個の欠陥ができてだけで電流経路が形成されることになる。つまり、ストレス印加による水素終端の破壊が界面膜の破壊の引き金になっている可能性が大きいと考えられる。

界面SiON膜への重水素添加の効果を調べるため、nFETに負バイアスストレスを印加してTDDB寿命を測定した。Fig. 8にその結果を示す。D<sub>2</sub>O-ALD法で重水素を添加することによりTDDB寿命が約12倍改善され、電源電圧1.1Vで10年寿命の保証が可能となる。

pFETのNBTI劣化について議論したように、重水素は、その質量が水素の2倍であることから拡散係数が小さく、ストレスによりSi-D結合が切れても、界面付近にとどまる時間が長く、界面ダングリングボンドを再終端する確率が水素よりも高い。さらに、Si-D結合の屈曲モードの固有振動数がシリコンの横波光学フォノンの振動数と近いため、たとえSi-Dボンドがエネルギーを受け取って励起されてもSi基板にエネ

ルギーを放出しやすいので、Si-H結合と比べて結合が切れにくい<sup>16)</sup>。これら二つの効果のおかげで、界面SiON膜に重水素を添加することによって、TDDB寿命が改善されたと考えられる。

#### 4. まとめ

重水を酸化剤に用いたALD法を用いてHfAlO膜の形成する方法によりHfAlO/SiON積層ゲート絶縁膜に重水素を添加し、そのゲート絶縁膜信頼性に及ぼす影響について調べた。HfAlO膜形成直後には、ゲート絶縁膜中に10<sup>20</sup>cm<sup>-3</sup>の重水素が取り込まれる。高温のPDAによりその大部分は膜中から脱離してしまうのでHigh-k膜のバルクトラップに起因するPBTI信頼性は改善されない。しかし、界面層には6×10<sup>18</sup>cm<sup>-3</sup>の重水素が残っている。この重水素のおかげで界面SiON劣化に起因する信頼性の低下(pFETのNBTIとnFETのTDDB)が改善される。

結局、D<sub>2</sub>O-ALDによって形成したHfAlO膜は、界面SiON層への重水素供給源として働くことで信頼性向上に寄与しているわけであり、したがって、この方法の有効性はHfAlOに限られるものではなく、他のHfO<sub>2</sub>やHfSiONなどのHigh-k膜にも有効である。

#### 参考文献

- 1) Choi, R.; Onishi, K.; Kang, C. S.; Cho, H.-J.; Kim, Y. H.; Krishnan, S.; Akbar, M. S.; Lee, J. C. *IEEE Electron Device Lett.* 24, 144-146 (2003).
- 2) Onishi, K.; Choi, R.; Kang, C. S.; Cho, H.-J.; Kim, Y. H.; Nieh, R. E.; Han, J.; Krishnan, S. A.; Akbar, M. S.; Lee, J. C. *IEEE Trans. Electron Devices.* 50, 1517-1524 (2003).
- 3) Tseng, H.-H.; Ramón, M. E.; Hebert, L.; Tobin, P. J.; Triyoso, D.; Grant, J. M.; Jiang, Z. X.; Roan, D.; Samavedam, S. B.; Gilmer, D. C.; Kalpat, S.; Hobbs, C.; Taylor, W. J.; Adetutu, O.; White, B. E. in Proc. IEDM 2003, 83-86.
- 4) Torii, K.; Kawahara, T.; Shiraishi, K. *IEEE Electron Device Lett.* 26 (10), 722-724 (2005).
- 5) Kawahara, T.; Torii, K.; Mitsuhashi, R.; Muto, A.; Horiuchi, A.; Ito, H.; Kitajima, H. *Jpn. J. Appl. Phys.* 43 (7A), 4129-4134 (2004).
- 6) 川原孝昭, 鳥居和功, 北島洋. 第65回応用物理学学会学術講演会講演予稿集. 65 (2), 685 (2004).
- 7) 三橋理一郎, 堀内淳, 鳥居和功, 宮崎誠一. 第9回極薄シリコン酸化膜の形成・評価・信頼性研究会予稿集. 81-86 (2004).
- 8) Hiratani, M.; Saito, S.; Shimamoto, Y.; Torii, K. *Jpn. J. Appl. Phys.* 41, 4521 (2002).
- 9) Mitsuhashi, R.; Torii, K.; Ohji, H.; Kawahara, T.; Horiuchi, A.; Takada, H.; Taskahashi, M.; Kitajima, H. in Proc. SSDM 2004. 34-35T.
- 10) Kerber, A.; Cartier, E.; Pantisano, L.; Degraeve, R.; Kauerauf, T.; Kim, Y.; Hou, A.; Groeseneken, G.; Maes, H. E.; Schwalke, U. *IEEE Electron Device Lett.* 24, 87-89

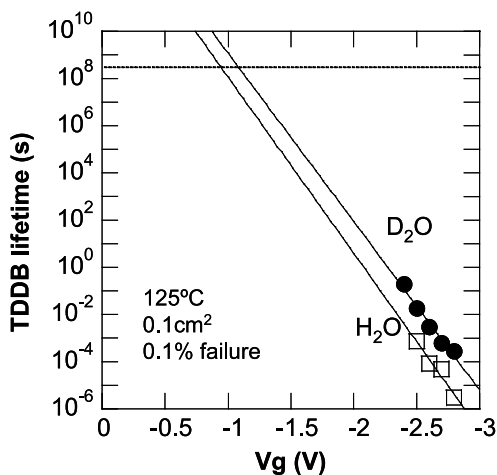


Fig. 8 TDDB lifetime of n-FET with HfAlO/SiON gate insulator (0.1 cm<sup>2</sup> and 0.1% failures condition)<sup>4)</sup>. Negative constant voltage stresses were applied at 125°C. 48 capacitors of 50 μm × 50 μm were used to obtain the time to breakdown for each stress voltage. The average Weibull slop for H<sub>2</sub>O- and D<sub>2</sub>O-ALD samples are 1.03 and 1.33, respectively.

- (2003) .
- 11) Jeppson, K. O. ; Svensson, C. M. *J. Appl. Phys.* 48, 2004-2014 (1976) .
- 12) Ogawa, S. ; Shimaya, M. ; Shiono, N. *J. Appl. Phys.* 77, 1137-1148 (1995) .
- 13) Zaferj, S. *Appl. Phys.* 97, 103709 (2005) .
- 14) Torii, K. ; Ohji, h. ; Mutoh, A. ; Kawahara, T. ;  
Mitsubishi, R. ; Horiuchi, A. ; Miyazaki, S. ; Kitajima, H.  
*in MRS Symp. Proc.* 811, 37-41 (2004) .
- 15) Degraeve, R. ; Groeseneken, G. ; Bellens, R. ; Ogier, J.  
L. ; Depas, M. ; Roussel, P. J. ; Maes, H. E. *IEEE Trans.  
Electron Devices.* 45, 904-911 (1998) .
- 16) Chris G. Van de Walle ; Jackson, W. B. *Appl. Phys. Lett.*  
69, 2441 (1996) .